# BÀI TẬP CHƯƠNG 5

**ỨNG DỤNG CỦA MẠCH SỐ**

**Phần A Mạch tính toán**

1. Thiết kế mạch số có tính năng cộng 2 số hạng 2 bits theo dạng:

{C, R1, R0} = {A1, A0} + {B1, B0}

1. Thiết kế bộ trừ 1 bit: {Mượn, Hiệu} = A – B.
2. Thiết kế Bộ cộng TOÀN PHẦN (Lập bảng chân trị cho phép toán cộng:

{Nhớ, Tổng} = Cin + A + B).

1. Thiết kế Bộ cộng TOÀN PHẦN sau đó ghép nối các Bộ cộng này thành Bộ cộng 4 bit.
2. Thiết kế Bộ trừ TOÀN PHẦN.
3. Một Full subtractor (x-y) có 3 bits vào: x, y, borrow-in bin và 2 đầu ra: hiệu số d (defference), bit mượn borrow-out bout

a) Xây dựng bảng chân trị.

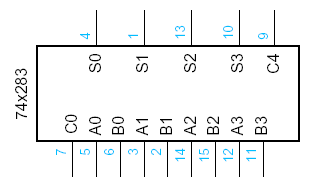
b) Viết hàm dạng SoP.

c) Viết hàm dạng PoS.

1. Thiết kế bộ trừ 2 số 8 bit.
2. Thiết kế mạch cộng toàn phần FA bằng
3. Mạch giải mã 3 sang 8: 74LS138
4. MUX 8:1
5. Thiết kế mạch tổ hợp thực hiện phép tính bù 2 của một số nhị phân 3 bit: ABC (A là MSB) và cho kết quả là số nhị phẩn 3 bit: XYZ (X là MSB).

**Phần B Mạch so sánh**

1. Thiết kế và nối một Bộ so sánh 1 bit có tính năng so sánh bằng, bé hơn, và lớn hơn. (Lập bảng chân trị, với LT là A < B, EQ là A = B, và GT là A > B)
2. Sử dụng bộ so sánh, MUX2 để thiết kế mạch tìm số lớn nhất của 2 số 4 bit.
3. Cho trước một mạch cộng nhị phân toàn phần 4 bit (tương tự IC 74283, với C0 là số nhớ vào, C4 là số nhớ ra, A và B là hai số cần cộng và S là kết quả tổng, chỉ số 0 để chỉ LSB), hãy thực hiện mạch so sánh hai số nhị phân 4 bit A và B mạch cộng trên, mạch thiết kế có các ngõ ra chỉ (A< B), (A=B) và (A>B).



Hình 1 Mạch cộng toàn phần 4 bit 74283

1. Thiết kế mạch cho giá trị max của 2 số 4 bit vào A và B với
2. Chỉ dùng các cổng logic
3. Chỉ dùng một IC so sánh 4 bit và một IC MUX (chứa 4 MUX 2:1)
4. Thiết kế mạch theo các yêu cầu sau:
5. Thiết kế mạch so sánh hai số nhị phân một bit A và B với các ngõ ra tích cực mức 1 sử dụng cổng logic.
6. Thiết kế mạch so sánh hai số nhị phân 4 bit X= X3\_X2\_X1\_X0 và Y= Y3\_Y2\_Y1\_Y0 sử dụng cổng logic. Biết rằng ngõ ra F=1 khi X=Y và F=0 khi X≠Y.
7. Thực hiện mạch ở câu (b) chỉ dùng mạch so sánh đã thiết kế ở câu (a) và mộ cổng AND. Vẽ mạch ở dạng sơ đồ chức năng .

**Phần C Mạch giải mã**

1. Cho các hàm sau:

F1(A,B,C,D) = 6(1,2,4,7) + d(3)

F2(A,B,C,D) = 6(0,3,14) + d(15)

F3(A,B,C,D) = 6(12,15)

a. Hiện thực các hàm sử dụng 4-16 Decoders và cổng OR

b. Hiện thực các hàm sử dụng 3-8 Decoders và cổng OR

c. Hiện thực các hàm sử dụng 2-4 Decoders và cổng OR

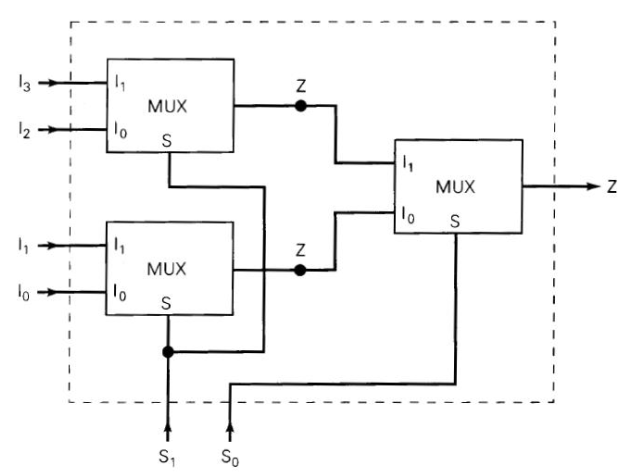
1. Thiết kế bộ giải mã 2:4; Thiết kế bộ giải mã 2:4 với ngõ vào EN
2. Thiết kế bộ giải mã 3:8 từ các bộ giải mã 2:4 và cổng NOT
3. Cho hàm F: F(A,B,C,D) = A'BC + AD + AC Cài đặt hàm F dùng:

a) Mux 8:1.

b) Decoder 4 sang 16 với 1 cổng OR 16 ngõ vào.

**Phần D Mạch chọn kênh**

1. Mạch ở hình sau sử dụng 3 multiplexer 2-1 (MUX 2:1). Xác định hàm được thực hiện bởi mạch này



1. . Cho hàm Boolean viết ở dạng 1-minterm F(a, b, c) = Σ m(4,6,7). Hãy trình bày thiết kế tối ưu nhất về tài nguyên cho hàm F theo từng cách sau:

a) Chỉ sử duṇg MUX 8:1

b) Chỉ sử duṇg MUX 4:1

1. Cho hàm F(A,B,C) = 6(0,3,5,7) + d(6)

a. Hiện thực các hàm sử dụng MUX 8-1

b. Hiện thực các hàm sử dụng MUX 4-1

c. Hiện thực các hàm sử dụng MUX 2-1

1. Cho hàm sau: F(A,B,C) = 6(0,2,4,6,7) + d(1)

a. Hiện thực hàm F sử dụng ít nhất các mạch Decoders 2-4 và cổng OR

b. Hiện thực hàm F sử dụng ít nhất các mạch MUX 4-1

c. Hiện thực hàm F sử dụng ít nhất các mạch MUX 2-1

1. Sử dụng MUX để hiện thực các hàm Boolean sau:

a) F = AB

b) F = ~A

1. Sử dụng các mạch chọn kênh MUX 8:1 và mạch chọn kênh MUX 4:1 để thiết kế mạch chọn kênh MUX 32:1
2. Cho F là một hàm 4 biến A, B, C, D. Hàm F=1 nếu trị thập phân tương ứng với các biến của hàm chia hết cho 3 hoặc 5, ngược lại F=0.

a) Lập bảng chân trị cho hàm F.

b) Thực hiện hàm F bằng mạch chọn kênh MUX 16:1.

c) Thực hiện hàm F bằng mạch chọn kênh MUX 8:1 và các cổng (nếu cần).

d) Thực hiện hàm F bằng mạch chọn kênh MUX 4:1 và các cổng (nếu cần).

e) Hãy biểu diễn hàm F trên bìa Karnaugh

f) Hãy rút gọn F và thực hiện F chỉ dùng các mạch cộng bán phần HA

1. Sử dụng ba mạch chọn kênh (MUX) 2:1 để thực hiện một mạch chọn kênh 4:1. Không dùng thêm cổng.
2. Vẽ sơ đồ mạch Bộ MUX4 4 bit từ các Bộ MUX2 1 bits.

**Phần E Thanh ghi**

1. Khảo sát hoạt động của Register (Parallel D flipflops hay Parallel Register)

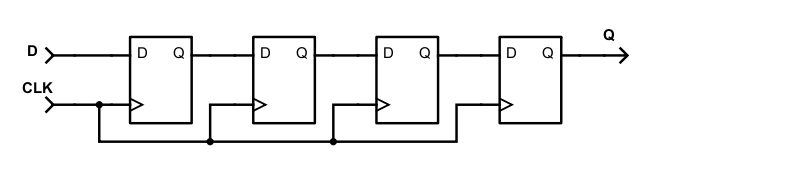
A close up of text on a white surface

Description generated with high confidence

Register trên có Da, Db, Dc, Dd là tín hiệu dữ liệu, CLK là tín hiệu Enable. Nếu CLK chuyển từ 0 sang 1 thì {Qa, Qb, Qc, Qd} = {Da, Db, Dc, Dd}, ngược lại thì {Qa, Qb,  
Qc, Qd} sẽ giữ giá trị trước đó. Vẽ tín hiệu Q biết giá trị mặc định ban đầu của Q là 0.

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |
| CLK |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
| Da |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
| Db |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
| Dc |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
| Dd |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
| Qa |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
| Qb |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
| Qc |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
| Qd |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |

1. Cho thanh ghi dịch 4 bit (Serial D flipflops hay Shift Register) như hình 1



Hình 1. Thanh ghi dịch 4 bit

Shifter có D là tín hiệu dữ liệu, CLK là tín hiệu Enable. Nếu CLK chuyển từ 0 sang 1 thì Q = D tại mỗi D flipflop, ngược lại thì Q = QPRE tại mỗi D flipflop. Trong đó QPRE là giá trị trước đó của Q. Mô phỏng Shifter theo chuỗi kiểm tra hình 2 (lưu ý, giá trị mặc định ban đầu của Q trên là 0):

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| CLK |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| D |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Q |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

Hình 2. Dạng sóng của các tín hiệu